

**UNIVERSITE SIDI MOHAMED BEN ABDELLAH
FACULTE DES SCIENCES DHAR EL MAHRAZ
FES**



AVIS DE SOUTENANCE DE THESE

Le Doyen de la Faculté des Sciences Dhar El Mahraz –Fès – annonce que

Mr : AKHAMAL Hicham

Soutiendra : **le 06/01/2018 à 15 H** Lieu : **centre de conférence**

Une thèse intitulée :

***Contributions à la Conception d'un Régulateur « LDO » à Fort PSRR et à Faible
Consommation en Technologie CMOS 90nm pour un SoC RF***

En vue d'obtenir le Doctorat

**FD : Sciences et Technologies de l'Information et de la Communication (STIC)
Spécialité : Signaux Systèmes et Informatique**

Devant le jury composé comme suit :

	NOM ET PRENOM	GRADE	ETABLISSEMENT
Président	Pr. CHENOUNI Driss	PES	Directeur ENS - Fès
Directeur de thèse	Pr. QJIDAA Hassan	PES	Faculté des Sciences Dhar El Mahraz - Fès
Rapporteurs	Pr. AKSSASSE Brahim	PES	Faculté des Sciences et Techniques - Errachidia
	Pr. SEBBANE Mohammed	PES	Faculté des Sciences - Meknès
	Pr. ABARKANE El Houssaine	PES	Faculté des Sciences et Techniques - Fès
Membres	Pr. AARAB Abdellah	PES	Faculté des Sciences Dhar El Mahraz - Fès
	Pr. OUREMCHI Rabah	PES	Faculté des Sciences et Techniques - Fès

Résumé :

Les régulateurs de tensions LDO ont été largement utilisés dans le domaine des circuits intégrés et précisément pour la gestion de l'alimentation et la distribution des tensions. Ces régulateurs fournissent aux différents modules du système des tensions de polarisation stable vis-à-vis des faibles variations de la tension de l'alimentation. Cependant, les structures existantes des régulateurs souffrent du bruit qui provient de l'alimentation et en plus opèrent dans la région de forte inversion dissipant plus en plus de puissance statique; ce qui limite leurs utilisations surtout pour les SoCs RF qui sont très sensibles aux bruits présents sur l'alimentation.

L'objectif de cette thèse est de proposer une approche pour résoudre ces problèmes à base de la démonstration des relations existantes entre bruit d'alimentation, dissipation de puissance et performances du bloc qu'il alimente afin de choisir le meilleur dimensionnement des régulateurs de tension, L'ensemble de ces résultats ont été validés par des simulations sous la plate-forme CADENCE en technologie CMOS 90 nm . Notre approche est basée sur deux notions :

La première méthode permettra de contrôler les drains des transistors connectés en diodes et de surmonter le problème d'obtenir un gain élevé à courant continu sans modifier les rapports de W / L dans un nœud du circuit. Elle permettra aussi d'améliorer le gain de l'ensemble du circuit sans modifier le fonctionnement de chaque transistor pour améliorer le PSRR de l'LDO proposé.

La deuxième méthode basée sur la proposition d'une nouvelle structure de régulateur LDO opéré dans la région de faible inversion et d'amplifier par effet miroir le faible courant de polarisation de l'amplificateur, dont l'idée de base est de polariser tous les transistors qui entrent en jeu dans la conception du régulateur (sauf le transistor de passage) avec des courants drains de quelques nano-ampères, c'est la zone de faible inversion de fonctionnement des transistors. Dans cette zone, les tensions grilles-sources $|V_{GS}|$ sont légèrement inférieurs à la tension de seuil de conduction $|V_{TH}|$ ($|V_{GS}| < |V_{TH}|$).

Mots clés : Système sur puce radiofréquence (SoC RF), Régulateur LDO, Forte Réjection des Bruits D'alimentation (PSRR), Faible Consommation, Technique d'augmentation du gain, Faible inversion, CMOS 90nm, Band-gap, VCO, Bruit de phase.

Design of the Regulator "LDO" in 90nm CMOS Technology with High Noise Rejection and Very Low Consumption: Application to RF SoCs

Abstract :

The Low-dropout linear regulators LDOs are widely used in the field of integrated circuits and precisely for the power management and the distribution of voltage. These regulators provide stable bias voltages for various modules of the system despite the small variations from the voltage in the power supply. However, the existing structures of the regulators suffer from the power-supply rejection ratio and in addition operate in the region of strong inversion dissipating more and more static power; which limits their use especially for the SoCs RF which are very sensitives to the noise present on the power supply.

The objective of this thesis is to propose an approach to solve these problems based on the demonstration of the existing relationships between power supply noise, power dissipation and performance of the block that it supplies in order to choose the best dimensioning of the voltage regulators, All these results have been validated by simulations under the CADENCE platform in 90 nm CMOS technology. Our approach is based on two notions:

The first method will allow to control drain of the transistor and overcomes the problem of obtaining a high gain DC without changing the W / L ratios in a node of the circuit design. This will also permit to improve the gain of the environment without modifying the function of each transistor circuit scheme to improve the PSRR of the LDO proposed.

The second method based on the proposed new regulator LDO structure operating in the weak inversion region and amplify by mirror effect the low current polarization of the amplifier. Whose basic idea is to polarize all transistors that enter in the design of the regulator (except the pass transistor) with the currents drains of a few nano-amperes it's the weak inversion zone of the transistors functioning. In this zone, the gates-source voltages $|V_{GS}|$ are slightly lower than the conduction threshold voltage $|V_{TH}|$ ($|V_{GS}| < |V_{TH}|$).

Key Words :

Radio-Frequency Systems-On-Chip (SoCs RF), Regulators LDO, high power-supply rejection ratio, Low Power Consumption, Gain Enhancement Technique, weak inversion, CMOS 90nm, Band-gap, VCO, Phase Noise.